



# Développement d'un décodeur en treillis modulaire

*Louis Edmond Pouliot, étudiant 2<sup>e</sup> cycle*

*Dr Paul Fortier, directeur de recherche*

*Dr Marc Tremblay, co-directeur de recherche*

*Abstract: A modular realization of a trellis decoder is a new approach compared to architectures already presented in the literature. Such a decoder will be composed of basic modules assembled together. The advantages related to this implantation come from the utilization and the conception of a unique basic module. A decoder composed of a number of states which is a multiple of the basic module can easily be realized by using the corresponding number of basic modules. This results in a more or less performing decoder, according to the application, that can be rapidly developed. In this research, using existing works about Viterbi and sub-optimal algorithms, we will define a new modular architecture that can be realized within the actual VLSI technology.*

*Résumé: Le développement d'une implantation modulaire d'un décodeur de type en treillis se veut une nouvelle approche aux architectures déjà proposées dans la littérature actuelle. Les avantages associés à un décodeur constitué d'un ensemble de modules de base sont nombreux et sont reliés autant à leur utilisation qu'à leur conception. La conception d'un décodeur possédant un nombre d'états multiple du module de base devient simplement un assemblage de modules de base entre eux. Ainsi le développement d'un décodeur plus ou moins performant, selon l'application, peut être grandement accéléré. La présente recherche a comme but d'explorer les travaux déjà réalisés dans le domaine des algorithmes de Viterbi et sous-optimaux afin de pouvoir définir une architecture modulaire réalisable en utilisant la technologie VLSI actuelle.*

Les techniques de modulation codée sont de plus en plus utilisées, notamment dans les modes à hautes vitesses. Ces codes sont très puissants mais ils nécessitent, dans le but d'optimiser le gain de décodage, un décodeur de Viterbi étant donné le code convolutionnel utilisé. La complexité résultante de l'utilisation de décodeurs de Viterbi est un facteur limitant dans les applications à haute vitesse ainsi que les coûts associés. Il est donc important de chercher un moyen d'en diminuer la complexité.

Une des solutions à ce problème fut l'utilisation de décodeurs sous-optimaux. Plusieurs types d'algorithmes sous-optimaux existent déjà et des études ont démontré leur efficacité dans

certains cas. On peut noter en particulier l'algorithme  $M$  et l'algorithme de Viterbi généralisé. Il faut être conscient toutefois qu'il y a un prix à payer pour utiliser ces algorithmes qui est une dégradation des performances. On obtient toutefois des résultats intéressants lorsqu'on utilise des codes plus puissants jumelés aux algorithmes sous-optimaux [1].

Une autre approche au problème de la complexité associée à l'utilisation de l'algorithme de Viterbi consiste en la «parallélisation» de ce dernier. L'intérêt est principalement relié à la possibilité de réaliser des implantations à multiprocesseurs d'architectures diverses dans le but d'accélérer les calculs nécessaires. On retrouve dans la littérature plusieurs algorithmes pour différentes architectures qui ne seront pas cités ici.

Le but de cette présente recherche est de développer une implantation modulaire d'un décodeur de type en treillis qui se veut une nouvelle approche aux architectures déjà proposées. On sera ainsi en mesure d'évaluer les avantages associés à la réalisation et la conception de tels décodeurs modulaires. Du point de vue de la conception d'un décodeur possédant un nombre d'états multiple du nombre d'états du module de base, on voit bien l'intérêt suscité. La réalisation du décodeur pour une application donnée consisterait alors à un simple assemblage de modules de base. Le développement d'une multitude de décodeurs de performances plus ou moins grandes serait ainsi accéléré. De plus, les coûts associés à plusieurs réalisations de décodeurs aux nombres d'états différents seraient moindres que si on devait faire le design de chacun séparément.

Une première étape pour la réalisation de ce projet consiste en une étude des différents algorithmes et architectures présentement proposés afin de pouvoir définir une architecture modulaire réalisable en utilisant les outils disponibles de la technologies VLSI actuelle. Un premier modèle logiciel du module sera créé en utilisant un langage de description matériel de type VHDL. On espère ainsi obtenir rapidement un modèle fonctionnel du comportement du module.

Parallèlement à l'évolution de la description du modèle fonctionnel, des «translations» vers des circuits programmables de type FPGA grâce à des logiciels tel que SYNOPSIS seront tentées. L'utilisation de SYNOPSIS permet d'effectuer du prototypage rapide des différentes structures du modèle tout en pouvant utiliser un langage évolué de description fonctionnelle. Par exemple, une boucle peut être décrite par une boucle de type «for» en VHDL et être implantée sur FPGA sans avoir à décrire explicitement une structure de type compteur. L'occasion permettra d'évaluer les différents outils de conception en VLSI.

La réalisation finale du décodeur pourra finalement être réalisée. Une évaluation des besoins et des disponibilités permettra le choix de la technologie VLSI et la configuration désirée pour la réalisation finale du décodeur prototype.

[1] S. ARIDHI, P. FORTIER, "Sub-Optimal Decoding for Treillis Coded 8-PSK and 16-QAM", *16<sup>th</sup> Biennial Symposium on Communications*, Queen's University, Kingston, Canada, mai 1992.